附件1：

中国电子学会-智芯科研专项（2023）

申报主题

一、积层型三维集成电路互连故障建模与测试方法

1. 所属领域

芯片可靠性

2. 建议研究方向

研究新工艺下，积层型三维（Monolithic 3D）集成电路中纳米级层间过孔（Monolithic Intertier Via，MIV）的缺陷产生机理及缺陷表征，提取不同缺陷情况下MIV的寄生参数，建立MIV缺陷模型，建立MIV缺陷与常见集成电路故障间的映射关系；研究MIV故障可测性设计方案，设计MIV故障内建自测试电路。

1. 主要技术指标

开展仿真或芯片原型验证，功能/性能满足:

（1）MIV缺陷模型需定量给出MIV缺陷与开路、短路、stack-at-1、stack-at-0，delay等常见集成电路故障间的映射关系，并给出故障测试集；

（2）MIV故障可测性设计需对全体MIV的故障查出率达到90%以上。

二、碳化硅 MOSFET可靠性关键技术

1. 所属领域

芯片可靠性

2. 建议研究方向

研究碳化硅（SiC） MOSFET器件在单次可承受的最大极端应力（包括UIS、Surge和SC等）以及多次重复极端应力（包括UIS、Surge和SC等）后参数退化程度及退化规律；研究SiC MOSFET器件在不同极端应力条件下的失效模式及失效规律；研究极端应力条件下SiC MOSFET器件的物理行为和失效机制，揭示器件失效的内部物理机理和影响器件可靠性的关键因素。

3. 主要技术指标

开展仿真或芯片原型验证，功能/性能满足:

（1）提出SiC MOSFET器件在极端应力条件下的失效机理，应力类型不少于3种；

（2）提出SiC MOSFET 失效模式与器件物理行为之间的联系，形成1份专业技术报告；

（3）协助芯片研发，实现器件阈值电压（Vth）退化小于30%。

三、工业级芯片封装热阻的快速评估技术

1. 所属领域

芯片可靠性

2. 建议研究方向

研究热扩散角和前后级材料对芯片散热路径的影响，研究封装热阻与芯片功耗、封装尺寸、材料及基板叠构等关键因素的关系。研究多芯片间耦合热阻，建立热阻网络矩阵，分析多芯片间热串扰问题以及通过热阻网络矩阵预测不同热工况下多芯片热分布。提出一种快速评估工业级控制和通信芯片封装热阻的数值解析方法。

3.主要技术指标

工业级芯片热阻网络模型，功能/性能满足:

（1）完成适用于工业级单芯片和多芯片封装热阻快速提取工具开发；

（2）对于单芯片封装散热，较有限元仿真热阻值误差≤10%；对于多芯片热耦合散热，较有限元仿真热阻值误差≤15%。

四、边侧Chiplet接口互联协议的多业务带宽关键技术

1. 所属领域

芯片设计

2. 建议研究方向

研究面向工业领域的芯粒（Chiplet）同构和异构互连、拆分和组合系统设计技术，提出具有多场景多业务适配能力的芯粒架构；研究基于现有标准的不限于物理层、适配层和协议层的多业务带宽设计方案，实现不同等级和属性的数据通信能力；研究芯粒多业务带宽协议测试方法，验证协议的功能/性能。

3. 主要技术指标

开展芯粒接口协议物理层或适配层或协议层的多业务带宽适配化设计，并进行验证，协议功能/性能满足:

（1）业务数据包支持基于QoS的调度管理；

（2）支持互连芯粒个数≥5；多业务带宽等级≥8。

五、面向新型电力系统格密码实现关键技术

1. 所属领域

芯片设计

1. 建议研究方向

研究格密码算法原理及实现的关键技术，支持密钥封装解封装、签名验签、密钥生成运算的实现及性能优化技术；研究针对格密码算法的侧信道攻击理论方法以及安全防护方案；研究格密码核心算子多项式乘法模运算和系数生成等模块的硬件实现技术，设计算法IP核。

1. 主要技术指标

开展仿真或芯片原型验证，性能/功能满足:

（1）基于SMIC55nm或TSMC40nm芯片工艺设计格密码算法IP核，单个算法规模不超过50万门，提交Verilog源代码；

（2）支持 Kyber、Dilithium等国内外主流的格密码算法，密钥产生最高性能达到2万次/秒以上，密钥封装/解封装最高性能达到1万次/秒以上，数字签名/验签最高性能达到2000次/秒以上；

（3）支持SPA、DPA等经典侧信道攻击手段，无防护格密码算法10万条以内能量迹可恢复密钥；基于掩码的防御措施100万条以内能量迹无法恢复密钥。

六、高精度低温漂隔离运放芯片关键技术

1. 所属领域

芯片设计

2. 建议研究方向

研究隔离模拟信号在不同环境下的精度变化影响因素，提出精度影响因素定量模型。研究高压复杂环境下，可有效抵御环境干扰，温度变化，时间变化导致信号精度下降跨隔离模拟信号传输的方法；研究用于跨隔离带传输模拟信号的隔离运放芯片，验证高精度、高抗干扰传输关键技术。

3. 主要技术指标

研发高精度低温漂隔离运放芯片，性能满足如下主要技术指标：

（1）输入范围：±250mV，跨隔离带固定增益：8；

（2）输入失调电压及失调电压温漂（-40℃~125℃）：±0.2mV(max)；±1μV/℃（max）；

（3）输入信号带宽：200kHz；

（4）增益误差及温漂：±0.3%（max）；±30ppm/℃（max)。

七、面向边缘人工智能芯片自动软硬件协同设计

1. 所属领域

芯片设计

2. 建议研究方向

研究面向边缘人工智能芯片设计的神经网络结构与硬件设计空间协同优化方法，包括神经网络结构搜索空间、硬件设计搜索空间、协同搜索空间的建模与求解；研究面向多种差异化芯片平台的神经网络结构与编译策略协同设计方法，包含编译策略搜索空间、算子调度设计空间、协同设计空间的建模与求解。

3. 主要技术指标

开展仿真验证，功能/性能满足:

（1）优化后的基于神经网络的核心算法如YOLO-tiny在典型国产RISC-V指令集SoC上运行典型的实测能效不低于0.5TOPS/W；

（2）优化后的神经网络模型相比原生模型精度损失低于0.3%。

八、电力无线专网物理层关键技术

1. 所属领域

芯片设计

1. 建议研究方向

研究基于5G RedCap技术为背景的能源无线专网，研究230MHz频段离散频谱及聚合技术;研究能源无线专网中共享频谱智能感知及如何减少系统之间干扰问题；研究能源无线专网中授权和非授权频段的联合调度技术。

1. 主要技术指标

开展理论算法研究、仿真或实验验证，功能和性能满足：

（1）工作频段：230MHz频段、兼容RedCap物理层帧结构、最低时延：10ms；

（2）支持离散共享频段、可变带宽/载波聚合，支持1MHz、2MHz、5MHz；

（3) 下行支持2x2、2x1 MIMO,上行单天线发送；

（4）接收灵敏度：-97dBm。

九、面向智能感知的超低功耗存算一体铁电芯片技术

1. 所属领域

通信与智能感知

2. 建议研究方向

研究面向智能感知的超低功耗存算一体芯片架构设计；研究基于Si基铁电场效应晶体管的超低功耗存算一体芯片外围控制电路和传输电路设计（包括灵敏放大器、比较器、AD/DA转换电路、MUX及输入输出接口电路等，从电路层面降低或消除阵列的非理想特性所带来的的负面影响）；研究实现具备稳定存储窗口、多值响应、操作速度快、操作电压低、抗疲劳特性、调控对称性和线性度优异的铁电存储器设计，以实现低功耗同时完成不同存储和计算任务。

3. 主要技术指标

开展仿真或芯片原型验证，功能/性能满足:

（1）基于Si基铁电场效应晶体管，实现超低功耗存算一体芯片外围控制电路和传输电路设计及仿真验证，实现阵列规模16~64Kb，核心能效10~50TOPS/W，核心算力100~500GOPS；

（2）基于Si基铁电场效应晶体管，实现编程/擦除电压小于4V；速度小于50ns；存储窗口大于1V且保持特性超过10年；编程/擦除疲劳耐久特性大于1010。

十、光伏智能检测关键技术

1. 所属领域

通信与智能感知

2. 建议研究方向

研究光伏最大功率点跟踪（MPPT）算法相关的IV曲线变化规律；研究复杂环境条件下的非线性、多极值功率特性跟踪技术，提升MPPT算法精度和响应速度；提出基于光伏HPLC芯片的MPPT算法改进方案，解决现有算法存在的因环境变化导致的算法误跟踪问题。

3. 主要技术指标

开展仿真或芯片原型验证，功能/性能满足:

（1）提出1种基于光伏HPLC芯片最大功率点跟踪算法，实现最佳跟踪精度大于99%；

（2）提出复杂环境条件下非线性多极值功率特性分析和跟踪优化方法，最快跟踪时间小于50ms。

十一、电容式覆冰监测传感器关键技术

1. 所属领域

传感器

2. 建议研究方向

研究面向风力发电机叶片监测的电容式覆冰监测感知原理，研究不同状态情况下的电容变化；研究覆冰监测的信号调理电路及传感器芯片化技术；研究电容式覆冰监测传感器在宽低温区的算法模型，并在真实环境下验证算法的准确性。

3. 主要技术指标

开展仿真或芯片原型验证，功能/性能满足:

（1）可区分雨、冰、冰水混合物及空气等状态；

（2）覆冰厚度量程：0-30mm；

（3）测量误差：＜20%；

（4）电容量程：0-100pf，分辨率：＜1ff;

（5）工作温度：-40℃~+85℃。